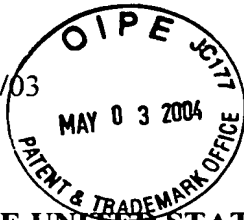


Docket No.: 45740/03
NEC.283



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re patent application of

Masaya Kawano

Serial No.: 10/781,904

Group Art Unit: Not Yet Assigned

Filing Date: February 20, 2004

Examiner: Unknown

For: SEMICONDUCTOR DEVICE AND FABRICATION THEREOF

Honorable Commissioner of Patents
Alexandria, VA 22313-1450

SUBMISSION OF PRIORITY DOCUMENTS

Sir:

Submitted herewith is a certified copy of Japanese Application Numbers 2003-045740 filed on February 24, 2003 and 2004-037902 filed on February 16, 2004, upon which applications the claim for priority is based.

Respectfully submitted,

Sean M. McGinn, Esq.
Registration No. 34,386

Date: 5/3/04
McGinn & G/bb, PLLC
Intellectual Property Law
8321 Courthouse Road, Suite 200
Vienna, VA 22182-3817
(703) 761-4100
Customer No. 21254

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 2 月 2 4 日
Date of Application:

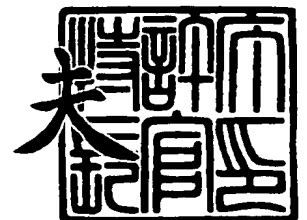
出 願 番 号 特 願 2 0 0 3 - 0 4 5 7 4 0
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 0 4 5 7 4 0]

出 願 人 N E C エレクトロニクス株式会社
Applicant(s):

2 0 0 3 年 9 月 1 2 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 7 5 5 2 8

【書類名】 特許願
【整理番号】 74120029
【あて先】 特許庁長官殿
【国際特許分類】 H01L 21/768

【発明者】

【住所又は居所】 神奈川県川崎市中原区下沼部 1 7 5 3 番地
N E C エレクトロニクス株式会社内

【氏名】 川野 連也

【特許出願人】

【識別番号】 302062931
【氏名又は名称】 N E C エレクトロニクス株式会社

【代理人】

【識別番号】 100109313
【弁理士】
【氏名又は名称】 机 昌彦
【電話番号】 03-3454-1111

【選任した代理人】

【識別番号】 100085268
【弁理士】
【氏名又は名称】 河合 信明
【電話番号】 03-3454-1111

【選任した代理人】

【識別番号】 100111637
【弁理士】
【氏名又は名称】 谷澤 靖久
【電話番号】 03-3454-1111

【手数料の表示】

【予納台帳番号】 191928
【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0215753

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置とその製造方法

【特許請求の範囲】

【請求項 1】 下層配線と、上層配線と、前記下層配線と上層配線とを接続するビアとを備え、少なくとも前記ビアの側面と上層配線の側面とに複数の異なる絶縁膜が形成された半導体装置において、

前記ビア近傍にかかる応力を、前記複数の異なる絶縁膜の熱膨張係数の体積平均及び前記ビアもしくは前記配線を埋める材料の熱膨張係数、弾性率、ポアッソン比、応力緩和温度から求め、前記求められた応力の値が前記ビア近傍にボイドが発生しない所定の値以下となるようにプロセス最高温度、又は、前記複数の絶縁膜の組合せ及び膜厚を設定することを特徴とする半導体装置の製造方法。

【請求項 2】 下層配線と、上層配線と、前記下層配線と上層配線とを接続するビアとを備え、少なくとも前記ビアの側面と上層配線の側面とに複数の異なる絶縁膜が形成された半導体装置において、

前記ビア近傍にかかる応力を、前記複数の異なる絶縁膜の熱膨張係数の体積平均 α'_{diel} 及び前記ビアもしくは前記配線を埋める材料の熱膨張係数 α 、弾性率 E 、ポアッソン比 ν 、応力緩和温度 T から求め、前記求められた応力の値が前記ビアにボイドが発生しない所定の値以下となるようにプロセスの最高温度 $T_{\text{process_max}}$ を以下の数式に基づいて設定することを特徴とする半導体装置の製造方法。

【数 1】

$$(\alpha - \alpha'_{\text{diel}}) \frac{E}{1 - \nu} (T_{\text{process_max}} - T)$$

【請求項 3】 下層配線と、上層配線と、前記下層配線と上層配線とを接続するビアとを備え、少なくとも前記ビアの側面と上層配線の側面とに複数の異なる絶縁膜が形成された半導体装置において、

前記ビア近傍にかかる応力を、前記複数の異なる絶縁膜の熱膨張係数の体積平

均 α' diel 及び前記ビアもしくは前記配線を埋める材料の熱膨張係数 α 、弾性率 E 、ポアッソン比 ν 、応力緩和温度 T 及びプロセスの最高温度 $T_{process_max}$ から求め、前記求められた応力の値が前記ビアにボイドが発生しない所定の値以下となるように前記ビアにかかる応力を前記複数の異なる絶縁膜の熱膨張係数の体積平均 α' diel が以下の式を満たすような組合せ及び膜厚の前記複数の絶縁膜を用いることを特徴とする半導体装置。

【数 2】

$$(\alpha - \alpha'_{diel}) \frac{E}{1 - \nu} (T_{process_max} - T)$$

【請求項 4】 前記下層配線、上層配線及びビアを形成する導電体は、金属であることを特徴とする請求項 1 乃至 3 記載の半導体装置の製造方法。

【請求項 5】 半導体素子が形成された半導体基板と、その素子を電氣的に接続する金属配線と、金属配線を囲む絶縁層とを有した半導体装置において、プロセス最高温度を $T_{process_max}$ 、層間膜の熱膨張係数の体積平均を α' diel として、 α 、 E 、 ν をそれぞれ配線金属の熱膨張係数、弾性率、ポアッソン比としたとき、

【数 3】

$$(\alpha - \alpha'_{diel}) \frac{E}{1 - \nu} (T_{process_max} - 300)$$

が、200 MPa 以下となるような組み合わせの層間膜を用いることを特徴とする半導体装置。

【請求項 6】 半導体素子が形成された半導体基板と、その素子を電氣的に接続する金属配線と、金属配線を囲む絶縁層とを有した半導体装置において、プロセス最高温度を $T_{process_max}$ 層間膜の熱膨張係数の体積平均を α' diel として、 α 、 E 、 ν をそれぞれ配線金属の熱膨張係数、弾性率、ポアッソン比とし

たとき、

【数 4】

$$(\alpha - \alpha'_{diel}) \frac{E}{1 - \nu} (T_{process_max} - 300)$$

が、200MPa以下となるような $T_{process_max}$ を配線形成工程以降のプロセス最高温度とすることを特徴とする半導体装置の製造方法。

【請求項 7】 前記金属配線は、銅を主たる成分とする配線であることを特徴とする請求項 5 記載の半導体装置。

【請求項 8】 前記金属配線は、銅を主たる成分とする配線であることを特徴とする請求項 6 記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置及びその製造方法に関し、特に配線が多層の半導体装置及びその製造方法に関する。

【0002】

【従来の技術】

近年、半導体集積回路のチップサイズを小さくするため、チップ内配線を多層にする技術が注目されている。チップ内配線を多層にするために、配線の上に層間絶縁膜が形成され、ビアによって上層配線と下層の配線とが接続されているが、高集積な配線を実現するためビアの径が小さくなり、層間絶縁膜と配線との間の応力が微細化されたビア近傍に集中することが問題となってきた。

【0003】

従来、図 6 に示すように、配線と層間絶縁膜との間の応力を小さくするために、Al 配線上に層間絶縁膜としてフッ素含有の酸・窒化シリコン膜を形成するものが提案されている（例えば、特許文献 1 参照）。

【0004】

この従来の技術では、半導体基板 201 上に絶縁膜 202 を介して選択的に形成された Al 配線 203 の上にフッ素含有の酸・窒化シリコン膜 204 を形成することによって、Al 配線 203 にかかる応力を低減し、Al 配線の断線、抵抗の増加を防止することを可能としている。

【0005】

【特許文献 1】

特開平 7-169833 号公報

【0006】

【発明が解決しようとする課題】

上記従来の技術では、Al 配線と Al 配線の上に形成した層間絶縁膜との間の応力について考慮されている。しかしながら、応力が集中するのは、上層の配線と下層の配線とを接続するビア部分である。したがって、配線には影響が無い程度の応力でも、配線に伝達された応力によってビアに応力が集中することによって、ビア近傍にボイドが発生し、抵抗の上昇を招くという問題が発生する。また、層間絶縁膜は複数の材料で構成されるのが普通であるが、従来の技術では配線への応力緩和を一つの層間絶縁膜を変更することで実現しようとしている。しかしながら、複数の層間絶縁膜全体から受ける応力を低減しない限り、LSI 配線の歩留まり向上は達成できない。

【0007】

したがって、本願発明は、複数の層間絶縁膜を有する半導体装置において、複数の層間絶縁膜からの応力を抑制した半導体装置及びその製造方法を提供することを目的とする。

【0008】

【課題を解決するための手段】

本発明の半導体装置の製造方法は、下層配線と、上層配線と、前記下層配線と上層配線とを接続するビアとを備え、少なくとも前記ビアの側面と上層配線の側面とに複数の異なる絶縁膜が形成された半導体装置において、前記ビア近傍にかかる応力を、前記複数の異なる絶縁膜の熱膨張係数の体積平均及び前記ビアもしくは前記配線を埋める材料の熱膨張係数、弾性率、ポアッソン比、応力緩和温度

から求め、前記求められた応力の値が前記ビア近傍にボイドが発生しない所定の値以下となるようにプロセス最高温度、又は、前記複数の絶縁膜の組合せ及び膜厚を設定することを特徴とする。

【0009】

また、本発明の半導体装置の製造方法は、下層配線と、上層配線と、前記下層配線と上層配線とを接続するビアとを備え、少なくとも前記ビアの側面と上層配線の側面とに複数の異なる絶縁膜が形成された半導体装置において、前記ビア近傍にかかる応力を前記複数の異なる絶縁膜の熱膨張係数の体積平均 α'_{diel} 及び前記ビアもしくは前記配線を埋める材料の熱膨張係数 α 、弾性率 E 、ポアッソン比 ν 、応力緩和温度 T から求め、前記求められた応力の値が前記ビア近傍にボイドが発生しない所定の値以下となるようにプロセスの最高温度 $T_{\text{process_max}}$ を以下の数式に基づいて設定することを特徴とする。

【0010】

【数5】

$$(\alpha - \alpha'_{\text{diel}}) \frac{E}{1 - \nu} (T_{\text{process_max}} - T)$$

【0011】

また、本発明の半導体装置は、下層配線と、上層配線と、前記下層配線と上層配線とを接続するビアとを備え、少なくとも前記ビアの側面と上層配線の側面とに複数の異なる絶縁膜が形成された半導体装置において、前記ビアもしくは前記配線を埋める材料の熱膨張係数 α 、弾性率 E 、ポアッソン比 ν 、応力緩和温度 T 及びプロセスの最高温度 $T_{\text{process_max}}$ から求め、前記求められた応力の値が前記ビア近傍にボイドが発生しない所定の値以下となるように前記ビア近傍にかかる応力を前記複数の異なる絶縁膜の熱膨張係数の体積平均 α'_{diel} が以下の式を満たすような組合せ及び膜厚の前記複数の絶縁膜を用いることを特徴とする。

【0012】

【数 6】

$$(\alpha - \alpha'_{diel}) \frac{E}{1 - \nu} (T_{process_max} - T)$$

【0013】

また、本発明の半導体装置は、半導体素子が形成された半導体基板と、その素子を電氣的に接続する金属配線と、金属配線を囲む絶縁層とを有した半導体装置において、プロセス最高温度を $T_{process_max}$ 層間膜の熱膨張係数の体積平均を α'_{diel} として、 α 、 E 、 ν をそれぞれ配線金属の熱膨張係数、弾性率、ポアッソン比としたとき、

【0014】

【数 7】

$$(\alpha - \alpha'_{diel}) \frac{E}{1 - \nu} (T_{process_max} - 300)$$

【0015】

が、200MPa以下となるような組み合わせの層間膜を用いることを特徴とする。

【0016】

また、本発明の半導体装置の製造方法は、半導体素子が形成された半導体基板と、その素子を電氣的に接続する金属配線と、金属配線を囲む絶縁層とを有した半導体装置において、プロセス最高温度を $T_{process_max}$ 層間膜の熱膨張係数の体積平均を α'_{diel} として、 α 、 E 、 ν をそれぞれ配線金属の熱膨張係数、弾性率、ポアッソン比としたとき、

【0017】

【数 8】

$$(\alpha - \alpha'_{diel}) \frac{E}{1 - \nu} (T_{process_max} - 300)$$

【0018】

が、200MPa以下となるような $T_{process_max}$ を配線形成工程以降のプロセス最高温度とすることを特徴とする。

【0019】

このように、金属配線の応力緩和温度、熱膨張係数、弾性率、ポアッソン比及び、層間膜の熱膨張係数の体積平均から、応力を計算することによってプロセスの最高温度を容易に得ることができる。

【0020】

また、金属配線の応力緩和温度、熱膨張係数、弾性率、ポアッソン比及び、プロセスの最高温度から、応力を計算することによって最適な層間膜の組み合わせ及び膜厚を容易に得ることができる。

【0021】

【発明の実施の形態】

以下、図面を参照して、この発明の実施の形態について説明する。説明は、実施例を用いて具体的に行う。

【0022】

(実施例)

本発明の実施例について、図1を参照しながら説明する。

【0023】

まず、銅又銅を主成分とする合金を配線及びビアに用いる半導体チップにおいて、配線及びビアに高温が印加されると銅Cuが応力緩和をし、温度降下時に引っ張りの残留応力を生じ、上述のとおり、歩留まり低下及び信頼性の低下を招く。したがって、引っ張りの残留応力を低減するためには、Cuに印加される温度が重要となる。さらに、一部のプロセスの温度を低下させても、残留応力に関し

ては効果が少なく、Cuを形成した後の半導体チップのプロセス最高温度が重要である。

【0024】

ここで、CuもしくはCuを主成分とする合金からなる配線及びビアを用いた半導体チップにおいて、図1に示すように、層間絶縁膜101上に形成されたストッパ膜102及び配線間絶縁膜103、ストッパ層102及び配線間絶縁膜103を選択的に除去して層間絶縁膜101上にバリア層104を介して形成された一層目銅配線105、一層目銅配線及び配線間絶縁膜103上にキャップ層106を介して形成されたビア間絶縁膜107、ビア間絶縁膜107上にストッパ層108を介して形成された配線間絶縁膜109、キャップ層106及びビア間絶縁膜107を選択的に除去して形成されたビアとストッパ層108及び配線間絶縁膜109を選択的に除去して形成された配線溝とをバリア層110を介して埋め込んで形成された二層目銅配線111、二層目銅配線111及び配線間絶縁膜109上にキャップ層112を介して形成されたカバー絶縁膜113を備えたテストパターン、すなわち、一層目銅配線105と二層目銅配線111とがCuビアによって直列に接続されたテストパターンを用いて、熱処理前後の抵抗を調べる。

【0025】

上記の構造において、400℃30分の熱処理を加えたところ、図2に示すような結果が得られた。ここでは、キャップ層、配線間絶縁膜、ストッパ層、及びビア間絶縁膜として、SiN/SiO₂/SiON/SiO₂を用いた第1のテストパターン、SiN/L-0x/SiON/SiO₂を用いた第2のテストパターン、SiN/L-0x/SiC/SiO₂を用いた第3のテストパターン、SiN/L-0x/StopperLess/SiO₂を用いた第4のテストパターンについて、抵抗の変動を調べた。なお、L-0xは、SiOHから構成され、分子構造が梯子状(Ladder)になっているLadder-Oxide (SiOH) の略である。

【0026】

この結果によると、第1のテストパターンでは30%、第2のテストパターンでは20%、第3のテストパターンでは8%、第4のテストパターンでは4%、ビアの抵抗が変動していることがわかる。また、300℃時のビア底面の応力を

三次元応力シミュレーションで求めたところ、第1乃至第4のテストパターンにおいて図2の応力に示す値が得られ、当該値をグラフに表すと図3の線分が得られた。

【0027】

このことから、キャップ層106、配線間絶縁膜109、ストッパ層108、及びビア間絶縁膜107からなる層間膜を構成するそれぞれの材料の違いが、抵抗変化に寄与していることが判明した。

【0028】

また、第1から第4のテストパターンを、23℃、150℃、250℃、300℃の各温度にて保存し、抵抗変動を調べてみたところ、300℃では150時間経過後に1%の抵抗変動が起ったが、250℃以下においては、150時間経過後に抵抗が変動することが無いという結果が得られた。

【0029】

なお、抵抗変動をした試料を解析した結果、ビアと配線との接続部にてスリット状のボイドが確認された。

【0030】

これらのことから、抵抗変動は、層間絶縁膜の応力がビア部に集中し、ビアと下部配線との間にボイドが形成されることに起因していること、及び層間絶縁膜を形成する複数の絶縁材料によってビアにかかる応力が異なることが判明した。

【0031】

ここで、基板とその上に薄膜を堆積・形成した時の、薄膜にかかる応力は次の式で一般的に表される。

【0032】

【数9】

$$(\alpha - \alpha_{sub}) \frac{E}{1 - \nu} (T_{proces} - T)$$

【0033】

このとき、 α_{sub} は、基板の熱膨張係数、 α 、 E 、 ν は、それぞれ薄膜の熱

膨張係数、弾性率、ポアッソン比を示しており、 $T_{process}$ は、成膜温度、 T は温度を示している。ここでは簡便のため、成膜温度で発生する膜の真性応力については無視している。

【0034】

そこで、半導体チップ内のCu配線の応力について考察すると、Cu配線は上述のとおり、複数の異なる構成材料、すなわち異なる複数の材料から構成される層間絶縁膜から応力を受けているため、本来は各構成材料の物性値を元に三次元応力シミュレーションを行わなければ、配線内の応力を求めることはできない。しかし、次に示す層間膜全体の平均的な熱膨張係数 α_{diel} を用いた方法を用いれば、そのような三次元応力シミュレーションを行わなくても、配線およびビアが層間膜から受ける応力の相対的な大きさを知ることが可能となる。層間絶縁膜の熱膨張係数 α_{diel} は、各絶縁膜の熱膨張係数に体積分率をかけ、加算することによって求められる。したがって、 α_{diel} は、 $\alpha_{diel} = \alpha_1 \times r_1 + \alpha_2 \times r_2 + \dots + \alpha_n$ で表すことができる。ここで、 $\alpha_1 \sim \alpha_n$ は、層間膜を形成する各絶縁膜の熱膨張係数、 $r_1 \sim r_n$ は、各絶縁膜の体積分率を表している。例えば、2層の絶縁膜から層間膜が形成され、 α_1 が1.0、 r_1 が1/3、 α_2 が1.5、 r_2 が2/3の場合、 $\alpha_{diel} = 1.0 \times 1/3 + 1.5 \times 2/3 = 4/3 = 1.3$ となる。

【0035】

また、Cu配線は、300℃以上の高温では、塑性変形して応力緩和するが300℃未満であれば塑性変形や応力緩和はほとんどない。したがって、Cu配線を形成した後、例えば、半導体チップ形成後であっても、300℃以上の熱処理が加わると応力緩和し、その後の冷却過程において、Cuに対して層間絶縁膜からの引っ張り応力が発生する。そして、Cuの場合、上記のとおり、応力緩和してボイドが発生する温度は、前記実験より300℃以上であることがわかっているので、ボイド発生下限である、300℃とプロセスの最高温度 $T_{process_max}$ との温度差で生じる引っ張り応力の値が重要となる。

【0036】

これらのことより、ボイド発生温度範囲でCuが層間絶縁膜から受ける応力は

、以下の式によって表すことができる。

【0037】

【数10】

$$(\alpha - \alpha'_{diel}) \frac{E}{1 - \nu} (T_{process_max} - 300)$$

【0038】

なお、 α_{diel} は層間絶縁膜の熱膨張係数、 α 、 E 、 ν は、それぞれCuの熱膨張係数、弾性率、ポアッソン比を示しており、 $T_{process_max}$ は、プロセスの最高温度を示している。

【0039】

この式に、第1乃至第4のテストパターンからなる層間絶縁膜の値（図5に示す第1乃至第4のテストパターンの値を使用）を入力し、400℃30分アニール後の応力を求める。ここで、Cuの熱膨張係数、弾性率、ポアッソン比は、105 [MPa]、0.343、18 [10⁻⁶/K]とし、各絶縁膜の熱膨張係数として図7に示す値を使い計算すると、第1のテストパターンの層間絶縁膜の熱膨張率 α_{diel} は0.88、第2のテストパターンの層間絶縁膜の熱膨張率 α_{diel} は5.2、第3のテストパターンの層間絶縁膜の熱膨張率 α_{diel} は5.51、第2のテストパターンの層間絶縁膜の熱膨張率 α_{diel} は6.14となる。なお、各絶縁膜は、実質的に全面に形成されているため、各絶縁膜の厚さを用いて体積分率を演算した。これらの値を上記の式に代入すると、 $T_{process_max}$ が400℃時の応力は、第1乃至第4のテストパターンにおいて、それぞれ、273.68、204.52、199.64、189.49となる。これらの値をプロットしたところ、図4に示すグラフが得られた。

【0040】

この図4のグラフと図3のグラフとを検証したところ、上記の式から得られた数値の相対関係が、三次元応力シミュレーションで得られた数値の相対関係とはほぼ一致し、相対的に同一な線分が得られていることが確認された。応力の絶対値

については、三次元応力シミュレーションでは、43～44 MPa で急峻に変化し、上記の式では、200 MPa で急峻に変化しているという違いはあるものの、②及び③の材料で形成された層間膜の部分で急峻に抵抗変動が起っていることが共通して判る。

【0041】

したがって、上記の式において、層間絶縁膜を構成する材料、膜厚が決まっている場合には、抵抗変動が急峻に変化する200 MPa よりも低くなるように、プロセスの最高温度 $T_{process_max}$ を設定すれば、抵抗変動を抑えることができることが判る。

【0042】

また、逆にプロセスの最高温度が決まっている場合には、層間絶縁膜を構成する材料、膜厚を決定することも可能となる。

【0043】

この式に基づいて、複数の異なる絶縁膜からなる層間絶縁膜の応力を計算したところ図5に示される結果が得られた。なお、膜厚の単位は、nmとする。例えば、パターン11の層間膜構造を有する層間絶縁膜では、450℃では224.36 MPa となるため、ボイドが発生して抵抗変動が起るが、425℃では、186.96 MPa となりボイドの発生を防止し抵抗変動を抑制することが可能となる。

【0044】

上記の数式では、銅が応力緩和する温度300℃を用いたが、材料によって応力緩和する温度は異なる。したがって、上記の式を応力緩和する温度をTとして一般化すると、以下の数式が得られる。

【0045】

【数11】

$$(\alpha - \alpha'_{diel}) \frac{E}{1 - \nu} (T_{process_max} - T)$$

【0046】

上記の実施例では、配線が2層のものについて説明したが、配線が、2層以上の多層になった場合も、同じ構造パターンの繰り返しであれば、同様に計算することができる。

【0047】

上記の実施例では、デュアルダマシンによって形成された上層配線及びビアについて説明したが、以下の応用例では、シングルダマシン及びデュアルダマシン両方に適用することができる。

【0048】

上記の実施例では、二層目配線及びビアの側面の層間絶縁膜がビアに及ぼす応力について考慮したが、第1の応用例として、一層目配線の下にある層間絶縁膜101、ストッパ層102及び配線間絶縁膜103を含んで、層間絶縁膜全体の熱膨張係数 α_{diel} を計算することによって、より精度の高い値を得ることができる。これに加えて、第2の応用例として二層目配線上に形成される層間絶縁膜（図示しない）を含んで、層間絶縁膜全体の熱膨張係数を計算することによって、さらに精度の高い値を得ることができる。

【0049】

また、第3の応用例として、ストッパ膜102、配線間絶縁膜103、キャップ層106、ビア間絶縁膜107の熱膨張係数から層間絶縁膜全体の熱膨張係数を計算して、ビアにかかる応力を計算することもできる。

【0050】

なお、上記実施例では、銅配線に対する応力について説明したが、対象材料の弾性率、ポアソン比、熱膨張係数、及び応力緩和する温度を変更することによって、他の材料に適用することも可能である。

【0051】

また、上記実施例では、配線、ビアに銅又は銅を主成分とする合金を用いるものについて説明したが、ビアと配線の材料が異なる場合、例えば、ビアにタンゲステンW、配線にCuを用いる場合にも適用することができる。

【0052】

【発明の効果】

このように、本発明によれば、複数の絶縁膜からなる層間膜が配線に及ぼす応力を計算することにより、半導体に加える温度の上限を得ることができる。したがって、導電体から構成されるビアの抵抗変動を抑制することができ、高い歩留まり及び高い信頼性を持った半導体装置を提供することが可能となる。

【図面の簡単な説明】**【図 1】**

本発明で用いたテストパターンの断面図

【図 2】

テストパターンの測定結果表

【図 3】

三次元応力シミュレーションによって得られた抵抗変動と応力との関係を示すグラフ

【図 4】

本発明の数式から得られた抵抗変動と応力との関係を示すグラフ

【図 5】

各種層間膜における応力と温度の関係を示す表

【図 6】

従来技術の断面図

【図 7】

各種構成材量の熱膨張係数を示す表

【符号の説明】

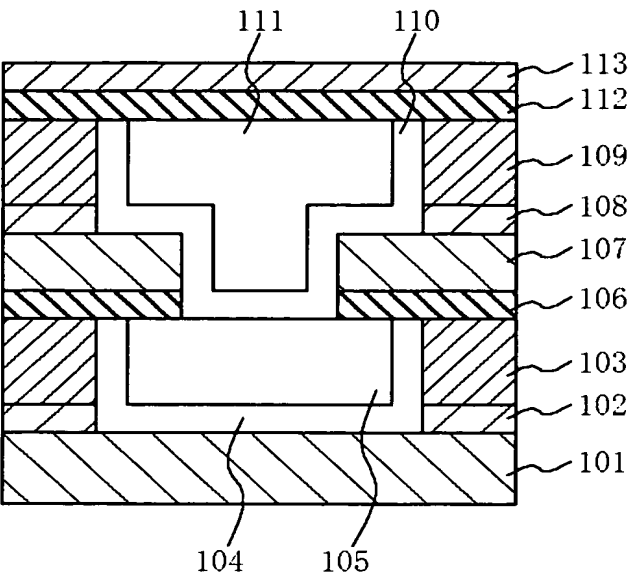
- 101 層間絶縁膜
- 102、108 ストップ層
- 103、109 配線間絶縁膜
- 104、110 バリア膜
- 105 第1配線層
- 106、112 キャップ層
- 107 ビア間絶縁膜

1 1 1 第 2 配線層

1 1 3 カバー絶縁膜

【書類名】 図面

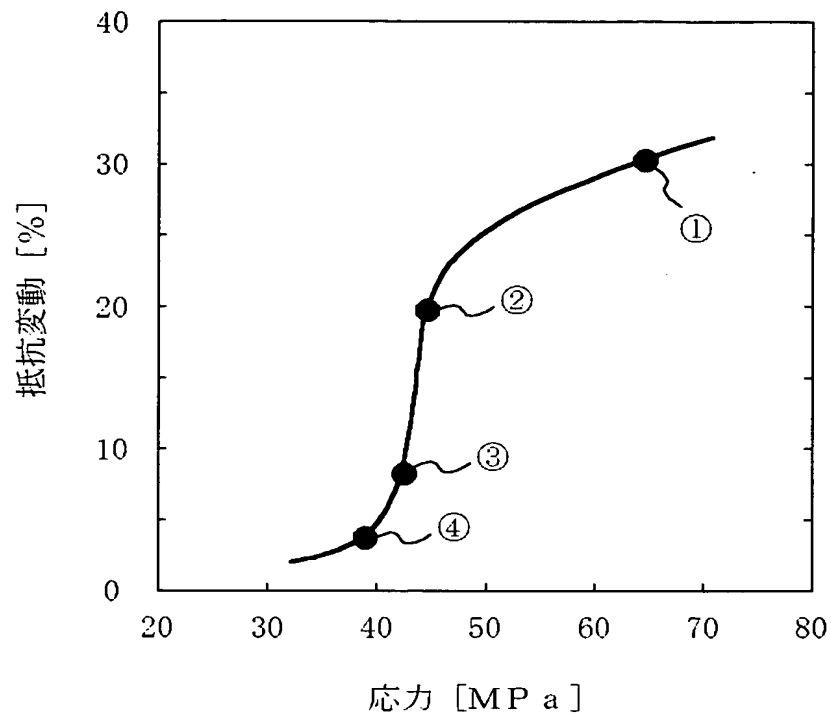
【図 1】



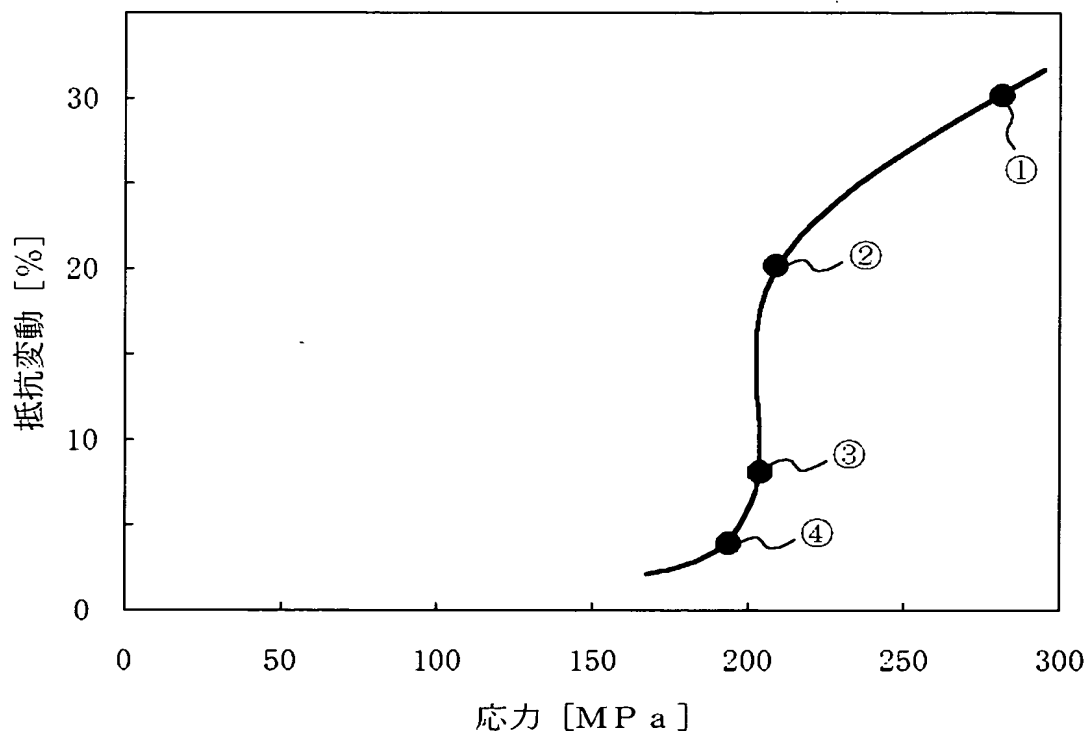
【図 2】

パターン	層間膜構造 (cap/IMD/stopper/ILD)	応力 [MPa]	抵抗変動 [%]
1	SiN/SiO ₂ /SiON/SiO ₂	65.7	30
2	SiN/L-Ox/SiON/SiO ₂	45.2	20
3	SiN/L-Ox/SiC/SiO ₂	42.9	8
4	SiN/L-Ox/stopperless/SiO ₂	39.0	4

【図 3】



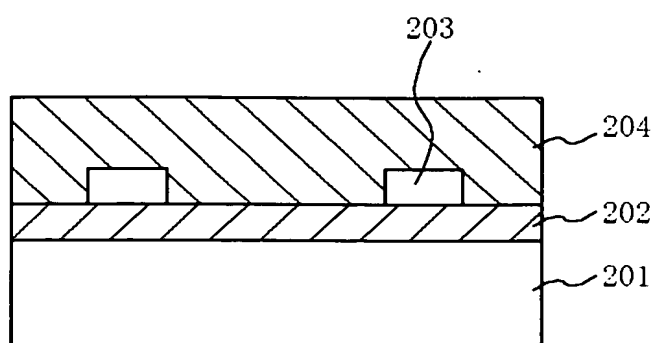
【図 4】



【図 5】

パターン	層間膜構造	層間膜厚比					Tprocess max							
		cap	IMD	stopper	ILD	総膜厚	α diel	450	425	400	375	350	325	
1	SiN/SiO ₂ /SiON/SiO ₂	7	20	5	45	77	0.88	410.52	342.1	273.68	205.26	136.84	68.42	
2	SiN/L-Ox/SiON/SiO ₂	7	20	5	45	77	5.2	306.78	255.65	204.52	153.39	102.26	51.13	
3	SiN/L-Ox/SiC/SiO ₂	7	20	5	45	77	5.51	299.46	249.55	199.64	149.73	99.82	49.91	
4	SiN/L-Ox/Stopperless/SiO ₂	7	25		45	77	6.14	284.24	236.87	189.49	142.12	94.75	47.37	
5	SiN/SiO ₂ /SiC/SiO ₂	7	20	5	45	77	1.18	403.2	336	268.8	201.6	134.4	67.2	
6	SiCN/SiO ₂ /SiC/SiO ₂	7	20	5	45	77	1.37	398.64	332.2	265.76	199.32	132.88	66.44	
7	SiCN/L-Ox/SiC/SiO ₂	7	20	5	45	77	5.7	294.9	245.75	196.6	147.45	98.3	49.15	
8	SiCN/L-Ox/SiCN/SiO ₂	7	21	5	34	67	6.53	274.95	229.13	183.3	137.48	91.65	45.83	
9	SiCN/SiO ₂ /SiCN	7	48	5		60	0.99	407.72	339.77	271.81	203.86	135.91	67.95	
10	SiN/SiO ₂ /SiCN	5	55	5		65	1.04	406.64	338.87	271.09	203.32	135.55	67.77	
11	SiCN/SiO ₂ /SiOC	10	7	40		57	8.64	224.36	186.96	149.57	112.18	74.79	37.39	
12	SiCN/SiO ₂	20	130			150	1.11	404.92	337.44	269.95	202.46	134.97	67.49	
13	SiCN/SiO ₂ /SiOC	15	57	40		112	4.85	315.2	262.67	210.14	157.6	105.07	52.53	
14	SiCN/SiO ₂	22	183			205	1	407.64	339.7	271.76	203.82	135.88	67.94	
15	SiCN/SiO ₂ /SiOC	5	3	72		80	10.23	186.38	155.32	124.26	93.19	62.13	31.06	

【図 6】



【図 7】

構成材料	熱膨張係数 [$\times 10^{-6}/K$]
SiO ₂	0.528
SiN	2.791
SiON	2.708
SiC	7.412
SiCN	4.885
L-Ox(SiOH)	17.189
SiOC	11

【書類名】 要約書

【要約】

【課題】 複数の異なる絶縁膜からなる層間絶縁膜から配線にかかる応力を低減する。

【解決手段】 複数の異なる絶縁膜からなる層間絶縁膜の熱膨張係数を体積平均して計算し、得られた層間絶縁膜の熱膨張係数と、配線が応力緩和する温度とプロセス中で印加される最高温度とから、配線にかかる応力を計算し、得られた応力から配線にボイドが発生しない最高温度、層間絶縁膜の熱膨張係数の体積平均の条件を設定する。

【選択図】 図 4

認定・付加情報

特許出願の番号	特願 2 0 0 3 - 0 4 5 7 4 0
受付番号	5 0 3 0 0 2 9 0 7 1 5
書類名	特許願
担当官	第五担当上席 0 0 9 4
作成日	平成 1 5 年 2 月 2 5 日

< 認定情報・付加情報 >

【提出日】	平成15年 2月24日
-------	-------------

次頁無

特願 2 0 0 3 - 0 4 5 7 4 0

出 願 人 履 歴 情 報

識別番号

[3 0 2 0 6 2 9 3 1]

1. 変更年月日

2 0 0 2 年 1 1 月 1 日

[変更理由]

新規登録

住 所

神奈川県川崎市中原区下沼部 1 7 5 3 番地

氏 名

N E C エレクトロニクス株式会社